

- (19) Japan Patent Office (JP)
- (12) Laid-open Patent Application Publication (A)
- (11) Unexamined Patent Application Publication S 59-110096
- (43) Publication Date: 6/25/1984

(51) Int. Cl. ³	Identification Code	File No.
G11 c 17/00	101	6549-5B

Examination not yet requested
Number of Inventions: 1 (Total of 7 pages)

(54) Non-Volatile Semiconductor Memory Device

(21) Application No.: S 57-219965
(22) Application Date: 12/13/1982

(72) Inventor
Kan'ichi Harima
Mitsubishi Electric Corp Kitaitami Works
4-1 Mizuhara, Itami City

(71) Applicant:
Mitsubishi Electric Corp.
2-2-3 Marunouchi, Chiyoda-ku, Tokyo

(74) Representative: Shin'ichi [ILLEGIBLE] Patent Attorney, and one other

Specification

1. Name of Invention

Non-volatile Semiconductor Memory Device

2. Patent Claims

- (1) A non-volatile memory device wherein the presence or absence of a stored electrical charge corresponds to binary information where, a non-volatile semiconductor memory element, wherein the threshold voltage changes depending on whether or not there is said stored electrical charge, is used as the memory element, wherein there is a built-in judgment circuit that judges whether or not the threshold value of the aforementioned memory element at the applicable address exceeds a specific value each time there is a write operation to each address, and there is a built-in means for outputting to the outside a signal when it has been detected by said judgment circuit that the threshold value for said memory element exceeds said specific value.

3. Detailed Explanation of the Invention

(Area of Application in Industry)

The present invention relates to field effect transistors, and in particular, relates to an improvement to memory devices that use so-called non-volatile memory transistors wherein the threshold value changes according to the data and that store data for an extended period of time, so that the writing of data to memory can be done quickly and reliability.

(Prior Art)

Types of the non-volatile memories that use field effect transistors include Floating gate Avalanche injection MOS (FAMOS), wherein an avalanche phenomenon is generated in the vicinity of the drain so that the hot electrons generated are injected into a floating gate that is fabricated between the gate and the substrate in order to change the threshold voltage in order to write the data, and metal nitride oxide semiconductors (MNOS), in which the gate oxide layer is extremely thin and a tunneling phenomenon is used in order to inject charge into a trap between the gate oxide layer and a silica nitride layer fabricated thereon. In either case, writing data to a single transistor, or in other words, changing the threshold voltage of the memory by injecting charge, requires time in the order of milliseconds.

Figure 1 is a cross-sectional diagram showing a model of the structure of FAMOS, where, in the figure, (1) is a p-type substrate, (2) and (3) are, respectively, a source and a drain of the n+ type, (4) is an insulating layer, (5) is a floating gate embedded in the insulating layer (4), and (6) is a control gate equipped with an insulator, on the top thereof. Figure 2 is a figure showing an example of the write characteristics of a FAMOS transistor, where, in Figure 2, the vertical axis shows the memory transistor threshold value and the horizontal axis shows the cumulative width of the applied pulse for writing. In this example, the threshold value of the memory prior to writing is 1.5V, and when 15 volts is applied to the drain and 25 volts is applied to the gate with the source at 0 volts, as is shown in the example of characteristics, the threshold voltage increases as the write pulse cumulative pulse width increases. Initially, the increase is rapid, but as the cumulative pulse width increases, the increase tends to reach saturation. Furthermore, the relationship between the write pulse width and the threshold is influenced by the memory transistor channel length, the oxide layer thickness between the substrate and the floating gate, the oxide layer thickness between the control gate and the floating gate, and the voltage of the applied pulse, resulting in the variability shown in curves (i), (ii), and (iii) in the examples in Figure 2. Generally, if the spacing between the source and drain in the memory transistor is large, then characteristics such as in the curve (iii) will be seen, and if the voltage applied to the drain is increased, the characteristics seen in curve (i) are seen. When a large number of memory transistors are fabricated on the same substrate, there will be variability in the channel lengths, the oxide layer thicknesses, and the like, and, essentially, one must assume that there will be variability in the characteristics.

Because the memory storage in a FAMOS-type memory transistor is formed through the electrons that are injected into the floating gate and that are trapped therein, it is necessary to change the threshold value through injecting a sufficient amount of charge into the floating gate in order to obtain a sufficiently long memory storage period. Given this, it is necessary to set an adequately long pulse width in consideration of the variability when programming these types of memory devices that include multiple memory elements, as described above. In the example in Figure 2, the write pulse width is set to at least 20ms because the transistors with the characteristics of the curve (iii) require 20ms, even though 5ms is sufficient for the transistors exhibiting the characteristics of the curve (ii) and 2ms is sufficient for the transistors exhibiting the characteristics of the curve (i) in order to set the memory transistor threshold voltage, after programming, to 5V. When [the write time] is set to 20ms, 18ms are wasted on the transistors with the characteristics in curve (i), and 15ms are wasted on the transistors with the characteristics of the curve (ii). As the number of memory transistors in the memory device increases, this wasted time increases as well. If the program pulse width is 30ms in a 1000 bit memory device, then 30 seconds (30ms x 1000) would be required, and, if the average of the transistors shown by curves (i), (ii) and (iii) were taken, 21 seconds would be wasted time. As the memory capacity grows large, the wasted time in programming becomes unignoreable. This is the greatest drawback in this type of memory device.

Here a conventional memory device will be explained first. Figure 3 (a) is a block diagram showing an example of a conventional memory device using FAMOS-type elements, and Figure 3 (b) is a drawing of the memory array and the peripheral circuits thereof. In the figures, (1) is a row address signal input terminal, (2) is a row address input buffer circuit, (3) is a row address decoder, (4) is a column address signal input terminal, (5) is a column address buffer circuit, (6) is a column address decoder, (7) is a memory array, (8) is a column select circuit, (9) is a write/read switch (hereinafter termed "RW switch") signal input terminal, (10) is a readout gate transistor, (11) is an inverter, (12) is a write gate transistor, (13) is a readout amplifier (hereinafter termed a "sense amp"), (14) is an output buffer circuit, (15) is a data I/O terminal, and (16) is an input buffer circuit. Furthermore, in Figure 3 (b), 17 is a row input terminal from the row address decoder (3), (18) is a column input terminal from the column address decoder (6), and (19) is an output terminal to the RW switch circuit.

Given this, in the conventional device, the reading is performed as follows. A row address signal is supplied from the input terminal (1), and arrives at the row address decoder (3) after passing through the row address input buffer circuit (2), thereby selecting one of the row input terminals (17) of the memory array (7), so that a voltage (for example, 5V) is applied to the gates of the memory transistors that exist in that row. In addition, a column address signal to the column address signal input terminal (14) arrives at the column address decoder (6) after passing through the column address input buffer circuit (5), thereby selecting one of the column input terminals (18) of the column selection circuit (8) in order to connect the drains of the memory transistors in the selected column to the sense amp (13). Furthermore, the voltage level of the drain is controlled by the threshold value of the selected memory transistor, where, the threshold value will be in the vicinity of 1.5V is a memory transistor that has not been programmed is selected, meaning that said memory transistor will be in an ON state, so the drain level will be a value near the ground point. Conversely, if a memory transistor that has been programmed is selected, then the threshold value will be in excess of 5V, so the memory transistor will be OFF, and the drain of the memory transistor will be electrically completely different from the ground point.

This drain level is sent to the sense amp (13), where the signal is amplified and is outputted to the outside through the output buffer circuit (14). The data I/O terminal (15) is connected to the output buffer circuit (14) and the input buffer circuit (16). The input buffer (16) works as a buffer for receiving the write data signals when the memory device is being written to. A write gate transistor (12) is connected between the output of the input buffer circuit (16) and the column select circuit (8), and a readout gate transistor is connected between the column select circuit (8) and the sense amp (13) and, during reading, the readout gate transistor (10) is turned ON, and the write gate transistor (12) is turned OFF, with the opposite being the case when writing.

As described above, if the writing is done using a pulse 20ms wide, then the write gate transistor (12) is turned ON for 20ms and the reading for verifying whether or not the writing has been completed turns on the readout gate transistor (10) so that the data that has been written passes through the sense amp (13) and the output buffer circuit (14) to be outputted to the data I/O terminal (15). Normally, writing to this type of memory device is done using what is known as a writer device. The writer device supplies the power supply for writing and reading, generates the address signals, and has functions for generating the data to be written for each of the addresses. Furthermore, [the writer device] checks whether or not the signal outputted to the data I/O terminal (15) when reading out after writing matches the data that should have been written. The mode that continuously reads out from an address after writing to that address is called the write verification mode, and the operations for writing and reading for the write operations is known as verification. In contrast, the general read

mode wherein each address is read out is known as the "read mode." In the write verification mode in this way, once it has been confirmed that the pattern that should have been written for a given address has been written, [operations] move on to the next address. In this way, the application of the write pulse (20ms wide), the readout, and the data check is performed by the write device using the output terminal signal, and this operation is repeated continuously until the final address.

Another major shortcoming of the conventional example explained above is that the check regarding whether or not the writing has been performed must be done by a memory writer device that is external to the memory device, and the address progresses only after the check has been performed, and having the writer device have this function increases the cost of the writer device.

(Summary of the Invention)

In consideration of the above, the present invention has the aforementioned write check function built into the memory device itself, where a signal is sent to the outside after writing is completed for each address, so that the writing to the next address can be received from the writer device, thus providing a non-volatile semiconductor memory device wherein the burden on the writer device is reduced substantially and wherein there will not be wasted time in writing.

(Example Embodiments of the Present Invention)

Figure 4 is a block diagram showing an example embodiment of the present invention, and Figure 5 shows a timing chart of the operations in this example embodiment. In the below, the same codes as in the conventional example indicate equivalent parts. In Figure 4, the location (20) enclosed in a dotted line is that which has been added to the conventional example in Figure 2.

In Figure 4, (21) is a verification mode control signal that discriminates between the verification mode and the read mode, (22) is a switch transistor that switches according to the aforementioned verification mode control signal to be ON when in read mode, and OFF when in verification mode, (23) is a comparator circuit, (24) and (25) are gate transistors controlled by an R/W switch signal, which both turn ON when in verification mode and which provide to the comparator circuit (23) the data that is read out by the sense amp (13) and the data that is inputted from the data I/O terminal (15), respectively, (26) is an address increment trigger signal input signal (27) is a reset signal generator circuit that produces a reset signal after receiving the address advance trigger signal sent when a new address has been established, (28) is a flip-flop circuit that is set by the match output signal when a match is detected on the two inputs thereof, and (29) is an output terminal for the write complete signal from the set output of the flip-flop circuit (28).

Figure 5 is a timing chart for explaining the operation in the present example embodiment, and the operations of the example embodiment will be explained regarding the figure. First the first address from the outside (in this case, from the writing device) is supplied to the address inputs (1) and (4) at the time t_0 , and, at the same time, the data to be written to this address is inputted from the data I/O terminal. After this, at time t_1 , after a specific time interval (T_0 in the example shown in Figure 4) the write pulse comprises a write part (t_1 is approximately 1ms) and a verify part (t_2 is several hundred microseconds), where this signal is inputted into the gate transistors (10) and (11) prior to the sense amp (13) as the R/W switching signal after being inverted, and controls the exchange of data signals with the sense amp (13) depending on writing and reading out (verification). In other words, when writing, the gate transistor (12) is turned ON, and during verification the gate transistor (10) is turned ON. After the write operation with the time t_1 , the verify interval with the time t_2 is set, and at this time, the gate transistor (12) is turned off in the path between the input buffer circuit 16, and the memory

array (7), so that [the path] is cut off, and by turning the gate transistor (10) on, the contents of the memory are sent to the sense amp (13). When in the write verification mode, the signal to the verification mode control signal input terminal (21) is set to the low level, and the output of the sense amp (13) does not reach the output buffer circuit (14) because the switching transistor (22) is OFF. When reading in the normal read mode, the aforementioned verification mode control signal goes to the high level, and so the output from the sense amp (13) is outputted to the outside through the output buffer circuit (14). When performing verification, the gate transistors (24) and (25) are turned ON at the same time, and the data inputted from the data I/O terminal (15) and the data signal after passing through the sense amp (13) from the data that is read out from the memory are both applied to the comparator circuit (23), the reset signal generation circuit (27) generates a reset signal (low level) at the output when a new address is set, resetting the flip-flop circuit (28). When the output of the sense amp (13) and the data in the input buffer circuit (16) match, (or in other words, when the data to be written is already written to the memory, the output of the comparator circuit (23) is put to a low level, and the flip-flop (28) is set and the write complete signal is outputted to the terminal (29) as a high level signal. the writer device detects the transition in the write complete signal, and [determines] that the writing has been completed, and advances the address to the next write address. If in the initial verification the writing has not yet been performed adequately so that there is not a match in the comparator circuit (23), then the output of the comparator circuit (23) will remain at a high level, and there will be no change in the write complete signal, so the next write pulse is sent from the writer device at the same address.

The example in Figure 5 shows an example wherein the writing has not yet been performed by the application of the write pulses and the time t_1 , and where the completion of the writing is detected by the verification at the time (t_{n+1}) after applying the pulse at the time t_n . As described above, if the write complete signal is at a high level, the address is advanced, and, at the same time, the data to be written to the new address is outputted from the writer device. At the same time, the address change is detected as the trigger signal, and a one shot pulse signal at the high level is generated at the reset signal generator circuit (27), resetting the flip-flop for generating the write complete signal, and returning it to its original state. In this way, if a comparator circuit for determining whether or not the writing has been completed, and a means for transmitting the results can be provided, it is possible to check whether or not the writing has been completed at each uniform short write pulse, doing so using a part that is built into the memory device, where, because the results are sent to the outside, the writing is shifted to the next address when the writing has been completed.

(Effects of the Invention)

As explained above, in the non-volatile semiconductor memory device according to the present invention, a verification function for performing verifications after writing is provided in the memory device itself, and a function that outputs a signal to the outside when the completion of the writing has been detected by said verification function is provided within the memory device itself, and thus pulses with short widths are used in writing and the writing is repeated until the writing is completed, making it possible to eliminate the wasted writing time and making it possible to greatly reduce the technical and cost burdens on the writing device merely by adding a few circuits to the memory device structure.

4. Simple Explanation of the Drawings

Figure 1 is a cross-sectional diagram of a FAMOS-type memory transistor.

Figure 2 is a graph showing the write characteristics thereof.

Figure 3 (a) is a block diagram showing an example of a conventional memory device.

Figure 3 (b) is a circuit diagram of only the vicinity of the memory array thereof.
Figure 4 is a block diagram showing an example embodiment of the present invention.
Figure 5 is a timing chart for explaining the operation thereof.

In the figures, (1) is a row address signal input terminal, (3) is a row address decoder, (4) is a column address signal input terminal, (6) is a column address decoder, (7) is a memory array, (9) is an R/W switch signal input terminal, (10) is a readout gate transistor, (11) is an inverter, (12) is a write gate transistor, (13) is a sensor amp, (15) is a data I/O terminal, (21) is a verification mode control signal input terminal, (23) is a comparator circuit, (26) is an address increment trigger signal input terminal, (27) is a reset signal generator circuit, (28) is a flip-flop circuit, and (29) is a write complete signal output terminal.

Note that in the figures, identical codes indicate either identical or corresponding parts.

Representative: Shin'ichi [ILLEGIBLE] (and one other)

Figure 1

Figure 2

[VERTICAL AXIS] Memory transistor threshold voltage
[HORIZONTAL AXIS] Program pulse width (cumulative)
[IN FIGURE] i, ii, iii

Figure 3

Figure 4

Figure 5

[UPPER LEFT] Write
[UPPER MIDDLE] Verify
[FROM TOP TO BOTTOM ON LEFT]
Write pulse
Address input
Address increment trigger
Reset signal
R/W switch signal
Verification mode control signal
Write complete signal
Data input

Procedural Amendment (Self Initiated)

Date: 3/16/1983 [STAMP: CONFORMING]

To the Director of the Patent Office

1. Descriptor of Case: Patent Application S 57-2199645
2. Name of Invention: Non-volatile Semiconductor Memory Device

3. Amended:

Relationship to the case: Patent Applicant
Address: 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
Name: (601) Mitsubishi Electric Corp.
Representative: Jin'yatsuro [??] Katayama

4. Representative:

Address: Mitsubishi Electric Corp.
Address: 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
Name: (6699) Shin'ichi [ILLEGIBLE] [OFFICIAL STAMP]
(Contact Number) 03 (213) 3421, Patent Department
[STAMPED AS RECEIVED BY THE PATENT OFFICE, 3/18/1983, BY

ICHIHARA]

5. Subject of Amendment

The Detailed Explanation of the Invention in the Specification.

6. Details of the Amendment.

Amend the specification as follows:

Page	Line	Prior to Amendment	After the Amendment
2	6 - 7	Gate	Control gate
2	7	Between the substrate and	In the insulating layer between the substrate and
3	2	Insulating	Through the insulating layer
6	8	R/W switching circuit	R/W switching transistors (10) and (12)
6	17	Input terminal (14)	Input terminal (4)
7	1	Drain	Drain, through the transistor (10)
			End of document

[OFFICIAL STAMP OF THE REPRESENTATIVE ATTORNEY]



IDEM JOB 03-06-085-B

CERTIFICATION OF ACCURACY

I CERTIFY, UNDER PENALTY OF PERJURY UNDER THE LAWS OF THE UNITED STATES OF AMERICA THAT WE ARE COMPETENT IN ENGLISH AND **JAPANESE** AND THAT THE FOLLOWING IS, TO THE BEST OF OUR KNOWLEDGE AND BELIEF, A TRUE, CORRECT, COMPLETE AND ACCURATE TRANSLATION OF THE ATTACHED DOCUMENT REGARDING PATENT APPLICATION NUMBER **S 59-110096**.

JULY 23, 2003

A handwritten signature in black ink, appearing to read 'Mariam Nayiny', is written over a horizontal line.

MARIAM NAYINY
PRESIDENT
IDEM TRANSLATIONS, INC.

⑫ 公開特許公報 (A)

昭59-110096

⑮ Int. Cl.³
G 11 C 17/00識別記号
1 0 1庁内整理番号
6549-5B

⑯ 公開 昭和59年(1984)6月25日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 不揮発性半導体メモリ装置

⑰ 特 願 昭57-219965

⑱ 出 願 昭57(1982)12月13日

⑲ 発 明 者 張間寛一

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2

番3号

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

不揮発性半導体メモリ装置

2. 特許請求の範囲

(1) 電荷の蓄積の有無を2値情報に対応させ、上記電荷の蓄積の有無によつて閾値の変化する不揮発性半導体素子をメモリ素子とするものにおいて、各アドレスへの書き込み操作毎に当該アドレスの上記メモリ素子の閾値が所定値を超えたか否かを判定する判定回路と、上記判定回路によつて上記メモリ素子の閾値が上記所定値を超えたことを検知したときに信号を外部へ送出する手段とを内蔵したことを特徴とする不揮発性半導体メモリ装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、電界効果形トランジスタ、特に情報に応じて、閾値電圧を変化させ、長時間情報を保持しうるいわゆる不揮発性メモリトランジスタを使用したメモリ装置に係るものであり、情報の

メモリへの書き込みを短時間に確実に行わしめる改良に関するものである。

〔従来技術〕

電界効果形トランジスタを使用した不揮発性メモリとしては、ドレイン近傍でアバランシェ現象を生ぜしめ、発生したホットエレクトロンをゲート、基板間に形成された浮遊ゲートに注入して閾値電圧を変化せしめることにより情報の書き込みを行なうFAMOS(Floating gate Avalanche injection MOS)や、ゲート酸化膜を脈絡にして、トンネル現象を利用してゲート酸化膜とその上に形成された窒化ケイ素膜との間のトラップに電荷を注入させるMNOS(Metal Nitride Oxide Semiconductor)構造をしたものなどがある。いずれの場合も情報の1トランジスタへの書き込み、すなわち、電荷を注入してメモリの閾値電圧を変化させるには、ミリ秒オーダーの時間を要する。

第1図はFAMOSの模式構造を示す断面図で、図において、(1)はp形基板、(2)、(3)はそれぞれn⁺形のソース、ドレイン、(4)は絶縁層、(5)は絶縁層(4)

(1)

-593-

(2)

に埋込まれたフローティングゲート、(b)はその上方に絶縁して設けられたコントロールゲートである。第2図はFAMOSトランジスタの書き込み特性の一例を示す図で、第2図において、縦軸はメモリトランジスタの閾値を、横軸は書き込みのための印加パルスの累積幅を示す。この例では書き込み前のメモリの閾値は1.5Vであり、ソースを0Vとし、ドレインに15V、ゲートに25Vを印加した場合の特性例を示したもので、書き込みパルス累積幅の増加と共に閾値電圧が上昇する。上昇する程度は初期に近い程大きく、パルス累積幅の増大と共に飽和する傾向にある。そして、書き込みパルス幅と閾値との関係はメモリトランジスタのチャネル長、基板・フローティングゲート間酸化膜厚、コントロールゲート・フローティングゲート間酸化膜厚、及び印加パルス電圧により影響を受け、第2図の中の曲線(f)、(g)、(h)に例を示すようにばらつきを生じる。一般にメモリトランジスタのソース・ドレイン間隔が大きくなれば曲線(f)のような特性を示し、またドレインに印加される電圧が

(3)

無駄に費されることになる。メモリ装置のメモリトランジスタ数が増加するとこの無駄は増加する。1000ビットのメモリ装置ではプログラムパルス幅を30msとすれば30ms×1000で30秒かかることになり、曲線(f)、(g)、(h)に示すようなトランジスタが均等に入っているとすれば21秒が無駄に費されたことになる。メモリの容量が大きくなるにつれ、このプログラム時間の無駄は無視し得なくなつてきている。これがこの種のメモリ装置の第1の欠点である。

ここで、まず従来のメモリ装置について説明する。第3図(a)はFAMOS形メモリ素子を用いた従来のメモリ装置の一例を示すブロック図で、第3図(b)はそのメモリアレイ及びその周辺の回路図である。図において、(1)は行アドレス信号入力端子、(2)は行アドレス入力パツファ回路、(3)は行アドレスデコーダ、(4)は列アドレス信号入力端子、(5)は列アドレスパツファ回路、(6)は列アドレスデコーダ、(7)はメモリアレイ、(8)は列選択回路、(9)は書き込み/読み出し切換(以下「R/W切換」という。)

(5)

大きくなれば曲線(f)の特性を示す。同一基板上に数多くのメモリトランジスタを形成するとチャネル長や、酸化膜厚などのばらつきが存在し、結局特性もばらつくと考えねばならない。

FAMOS形のメモリトランジスタの配保持は、フローティングゲートに注入された電子をそこに留めることにより成されるもので、十分な記憶保持時間を得るためにはフローティングゲートに十分な量の電荷を注入して、閾値を変化させておく必要がある。そこで、前記のように多数のメモリ素子を含むメモリ装置にプログラムを実施する時はばらつきを考慮して十分に長いパルス幅に設定する必要がある。第2図の例ではプログラム後のメモリトランジスタ閾値電圧を5Vに設定するためには曲線(f)の特性のトランジスタでは2ms、曲線(g)の特性のものでは5msで十分であるが、曲線(h)の特性のトランジスタが20ms要するので、書き込みパルス幅は20ms以上に設定される。20msに設定されたとすると、曲線(f)の特性のトランジスタでは18ms、曲線(h)の特性のトランジスタでは15msが

(4)

信号入力端子、00は読み出し用ゲートトランジスタ、01はインバータ、02は書き込み用ゲートトランジスタ、03は読み出し用増幅器(以下「センスアンプ」という。)、04は出力パツファ回路、05はデータ入出力端子、06は入力パツファ回路である。また、第3図(b)において07は行アドレスデコーダ(3)からの行入力端子、08は列アドレスデコーダ(6)からの列入力端子、09はR/W切換回路への出力端子である。

さて、この従来装置においては読み出しは次のようにして行なわれる。行アドレス信号がその入力端子(1)から供給され、行アドレス入力パツファ回路(2)を経て行アドレスデコーダ(3)に到り、これによつてそのメモリアレイ(7)への行入力端子07のいずれかが選ばれ、その行に存在するメモリトランジスタのゲートに電圧(例えば5V)が印加される。また、列アドレス信号入力端子04への列アドレス信号は列アドレス入力パツファ回路(5)を経て列アドレスデコーダ(6)に到り、これによつて列選択回路(8)への列入力端子08のいずれかが選ばれ、

(6)

選択された列のメモリトランジスタのドレインがセンスアンプ03に接続される。そして、このドレインの電圧レベルは選択されたメモリトランジスタの閾値に左右され、プログラムされていないメモリトランジスタが選択された場合は、閾値が1.5V近傍にあるので、当該メモリトランジスタがON状態にあり、ドレインレベルは接地点に近い値となる。又、逆にプログラムされたメモリトランジスタが選択された場合は、その閾値が5Vを超えると、メモリトランジスタはOFFとなり、メモリトランジスタのドレインは完全に接地点とは電氣的に分離される。

このドレインのレベルはセンスアンプ03に伝達され、信号は増幅されて、出力バッファ回路04を介して外部に出される。データ入出力端子09は、出力バッファ回路04と入力バッファ回路06とに接続されている。入力バッファ回路06はメモリ装置に書き込みを行なう時に、書き込みデータ信号を受けるバッファとして働く。入力バッファ回路06の出力と列選択回路08との間には書き込み用ゲ

(7)

ートトランジスタ02が、列選択回路08とセンスアンプ03との間には読み出し用ゲートトランジスタ00が接続され、読み出し時には読み出し用ゲートトランジスタ00がON、書き込み用ゲートトランジスタ02はOFFとなり、書き込み時には逆になる。

前述したように、書き込みを幅20msのパルスで行なうとすれば20msの間書き込み用ゲートトランジスタ02をONにして行われ、書き込みが完了したかどうかの確認のための読み出しは、読み出し用ゲートトランジスタ00をONにし、書き込まれた内容をセンスアンプ03、出力バッファ回路04を経てデータ入出力端子09に出力させる。通常、この種のメモリ装置の書き込みには、書き込み器と呼ばれるものが使用される。書き込み器は書き込み、読み出し用電源を供給したり、アドレス信号を発生しまた、各アドレス毎の書き込みデータを発生する機能を有している。更に、書き込みのあとの読み出しではデータ入出力端子09に、出力される信号が、書き込まれるべき内容と同じ内容になっているかのチェックを行なう。すなわち、同一の

(8)

この発明は以上のような点に鑑みてなされたもので、上述の書き込み確認の機能をメモリ装置自身にもたせ、アドレス毎に書き込みが完了したら信号を外部へ送出し、書き込み器から次のアドレスへの書き込みを受けるようにすることによつて、書き込み器への負担を大幅に軽減して、かつ書き込みに無駄な時間をかけないような、不揮発性半導体メモリ装置を提供するものである。

〔発明の実施例〕

第4図はこの発明の一実施例を示すブロック図で第5図はこの実施例の動作のタイミングチャートを示す。以下、従来例と同一符号は同等部分を示す。第4図において破線で明んだ箇所02が第2図の従来例に付加されたものである。

第4図において、02はペリフアイモード時とリードモード時とを区別するペリフアイモード制御信号入力端子、03は上記ペリフアイモード制御信号によつて切り換えられ、リードモード時にはON、ペリフアイモード時にはOFFとなるスイッチトランジスタ、04は比較回路、05、06はR/W切換信号

以上説明した従来例のもう1つの大きな欠点は、書き込めたかどうかのチェックをメモリ装置外の書き込み器で行わねばならず、このチェックが行われたあと始めてアドレスが進行することであり、書き込み器にこの機能をもたせることは、書き込み器のコスト上昇につながることである。

〔発明の概要〕

(9)

によつて制御され、ベリファイモード時にともに ON 状態となり、それぞれ、データ入出力端子 10 から入力されるデータおよびセンスアンプ 11 の読み出しデータを比較回路 12 に導入するゲートトランジスタ、13 はアドレス進行トリガ信号入力端子、14 はアドレスが新たに設定されたときに出るアドレス進行トリガ信号を受けてリセット信号を出すリセット信号発生回路、15 はこのリセット信号によつてリセットされ、比較回路 12 がその 2 入力の一致を検出したときに出力する一致検出信号によつてセットされるフリップフロップ回路、16 はフリップフロップ回路 15 のセット出力からなる書き込み完了信号の出力端子である。

第 5 図はこの実施例の動作を説明するためのタイミングチャートで、同図についてこの実施例の動作を説明する。先ず外部（この場合は書き込み器）から最初のアドレスが時点 t_0 にアドレス入力 (1), (4) に供給セットされ、また、同時にこのアドレスに書き込まれるべきデータがデータ入出力端子 10 から入力される。この後、一定時間（第 4 図

(11)

しないようにする。通常のリードモードでの読み出し時には上記ベリファイモード制御信号は高レベルとなり、センスアンプ 11 の出力は出力バッファ回路 17 を通過して外に出力される。ベリファイ時には同時にゲートトランジスタ 13, 14 を ON 状態にして、データ入出力端子 10 から入力されるデータ及びメモリから読み出されるデータのセンスアンプ 11 通過後のデータ信号の両方を比較回路 12 に導入する。リセット信号発生回路 15 はアドレスが新たに設定されると出力にリセット信号（低レベル）を発生し、フリップフロップ回路 16 をリセットしておく。比較回路 12 はセンスアンプ 11 の出力と入力バッファ回路 17 のデータとが同一（すなわち、書き込みたいデータがすでにメモリの中に書き込まれている）の時、比較回路 12 の出力が低レベルになるようにし、フリップフロップ 16 がセットされ書き込み完了信号が高レベル信号として端子 16 へ出力される。この書き込み完了信号の変化は書き込み器で検出され、書き込みが完了したとして、次の書き込みアドレスにアドレスを進行

の例では T_0 後の時点 t_1 に書き込みパルスが入力される。書き込みパルスはライト部 ($T_1 = 1\text{ms}$ 程度) 及びベリファイ部 ($T_2 = \text{約 } 100\mu\text{s}$) から成っており、この信号は位相が逆転されて *反転された* としてセンスアンプ 11 の前のゲートトランジスタ 13, 14 に入力され、書き込み（ライト）と読み出し（ベリファイ）に応じてセンスアンプ 11 とのデータ信号のやりとりを制御する。すなわち、ライト時にはゲートトランジスタ 13 を ON、ベリファイ時にはゲートトランジスタ 14 を ON にする。時間 T_1 の書き込み動作のあと、時間 T_2 のベリファイ時間が設定され、このときは、入力バッファ回路 17 とメモリアレイ (7) との間の経路でゲートトランジスタ 13 が OFF になることによつてカットオフされ、ゲートトランジスタ 14 が ON になることによりメモリの内容がセンスアンプ 11 に伝達される。ライトベリファイモードの時はベリファイモード制御信号入力端子 14 への信号は低レベルに設定されセンスアンプ 11 の出力は出力バッファ回路 17 にはスイッチングトランジスタ 14 が OFF のため到達

(12)

させる。もし、最初のベリファイでまだ書き込みが十分でなく、比較回路 12 で一致しなければ比較回路 12 の出力は高レベルのままであり、書き込み完了信号は変化なく同一アドレス内で次の書き込みパルスが書き込み器の方から送出される。

第 5 図の例は時点 t_1 の書き込みパルス印加ではまだ書き込まれず、時点 t_2 パルスの印加後の時点 t_{n+1} のベリファイで書き込みが完了されたことが検出された例を示す。前述したように書き込み完了信号が高レベルになればアドレスが進行し同時に新しいアドレスに書き込まれるべきデータが書き込み器から出力される。同時にアドレスの変化はトリガ信号として検出されリセット信号発生回路 15 に高レベルのワンショットパルス信号を発生させ、書き込み完了信号発生のためのフリップフロップ 16 をリセットして元の状態にもどす。このように、書き込みが完了したかどうかを判定するための比較回路 12 と、この結果を伝達する手段を設けることが出来れば、一定の速い書き込みパルス毎に書き込めたかどうかをメモリ装置内

部でテックでき、また、その結果を外部に伝達することにより、書き込み完了と共に、次のアドレスの書き込みに移行する。

〔発明の効果〕

以上説明したように、この発明になる不揮発性半導体メモリ装置では、メモリ装置自体に書き込み後の確認機能と、その確認機能によつて書き込みの完了を検出したときに外部へ信号を出す機能をもたせたので、書き込みに短い幅のパルスを用い、書き込みを完了する迄繰返し書き込むようにして、無駄な書き込み時間をなくすることができ、かつ、メモリ装置の構成に僅かの回路を附加するだけで、書き込み部の技術的、コスト的負担を大幅に軽減できる。

4. 図面の簡単な説明

第1図はFAMOS形メモリトランジスタの断面図、第2図はその書き込み特性を示す曲線図、第3図(a)は従来のメモリ装置の一例を示すブロック図、第3図(b)はそのメモリアレー近傍のみの回路図、第4図はこの発明の一実施例を示すブロック

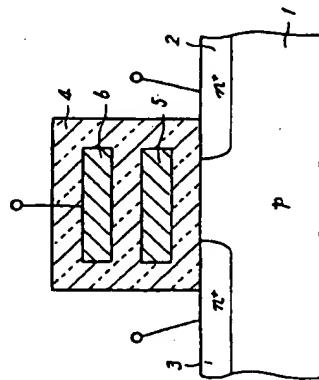
図、第5図はその動作説明のためのタイミングチャートである。

図において、(1)は行アドレス信号入力端子、(3)は行アドレスデコーダ、(4)は列アドレス信号入力端子、(6)は列アドレスデコーダ、(7)はメモリアレー、(9)はR/W切換信号入力端子、04は読み出し用ゲートトランジスタ、04はインバータ、02は書き込み用ゲートトランジスタ、04はセンスアンプ、04はデータ入出力端子、04はペリファイアード制御信号入力端子、04は比較回路、04はアドレス進行トリガ信号入力端子、04はリセット信号発生回路、04はフリップフロップ回路、04は書き込み完了信号出力端子である。

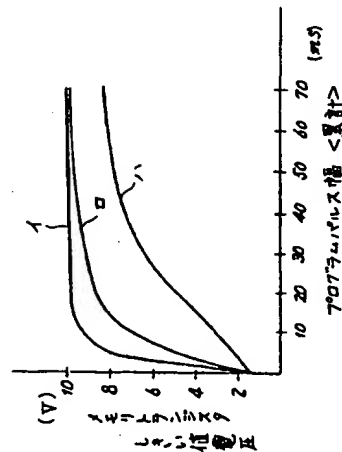
なお、図中同一符号は同一または相当部分を示す。

代理人 葛野 信一(外1名)

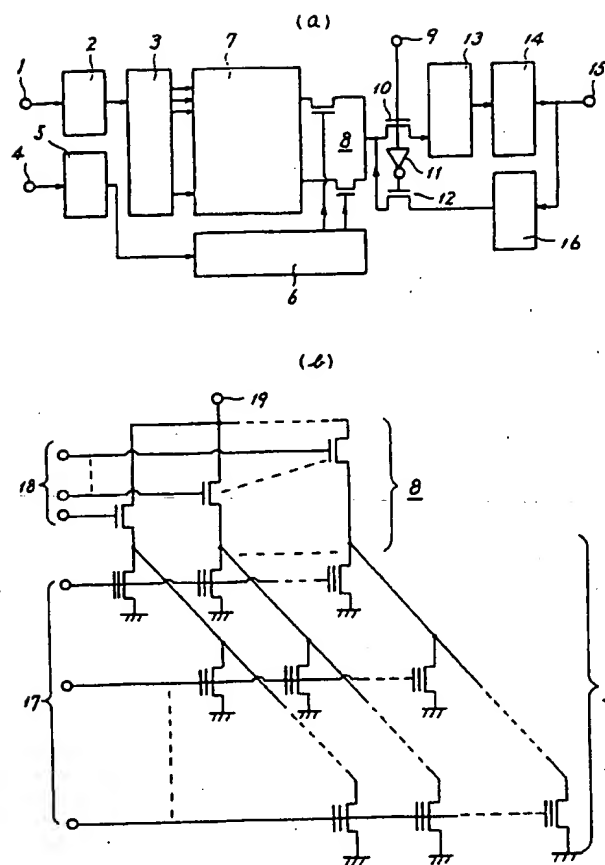
第1図



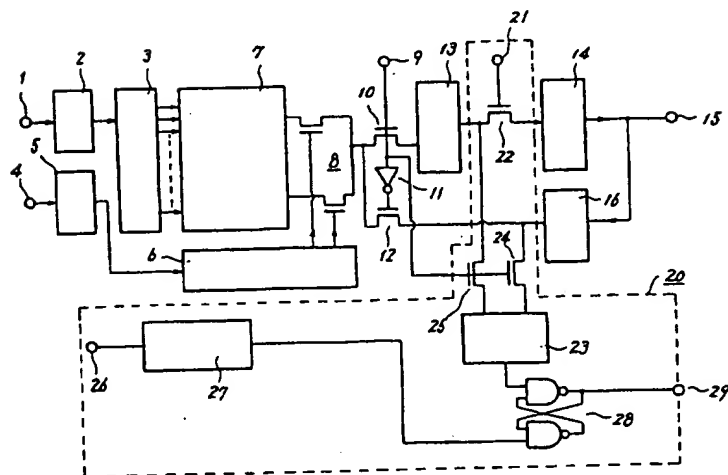
第2図



第 3 図

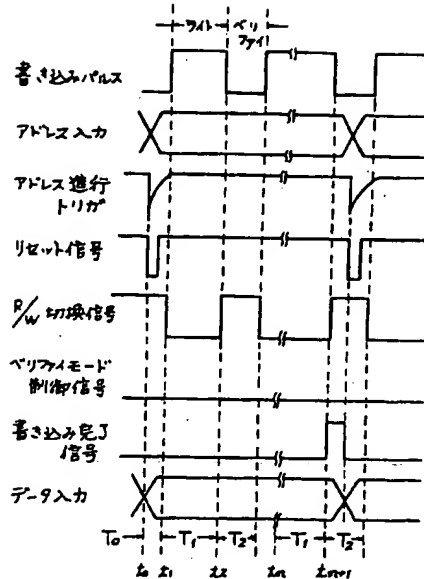


第 4 図



昭和 58 年 8 月 16 日

第 5 図



特許庁長官殿

1. 事件の表示 特願昭 57-219966 号
2. 発明の名称 不揮発性半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
氏 名 (6699) 弁理士 葛 野 信 一
(連絡先 03(213)2421(代))

(1)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
2	6~7	ゲート	コントロールゲート
2	7	基板間に	基板間の絶縁膜中に
3	2	絶縁して	絶縁膜を介して
6	8	R/W 切換回路	R/W 切換用トランジスタ(4, 02)
6	17	入力端子04	入力端子(4)
7	1	ドレインが	ドレインがトランジスタ(4)を介して
			以 上

(2)